

PAT-NO: JP403010306A
DOCUMENT-IDENTIFIER: JP 03010306 A
TITLE: MICROPROCESSOR
PUBN-DATE: January 17, 1991

INVENTOR-INFORMATION:

NAME
TERAOKA, EIICHI
KENGAKU, TOORU
TOKUDA, TAKESHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MITSUBISHI ELECTRIC CORP	N/A

APPL-NO: JP01146035
APPL-DATE: June 7, 1989

INT-CL (IPC): G06F001/04, G06F009/38

ABSTRACT:

PURPOSE: To reduce the ineffective power consumption by supplying a clock to only function blocks which will be operated, in the following execution state but stopping supply of the clock to the other function blocks which will not be operated.

CONSTITUTION: First control signals CSa, CSb... CSi indicate whether function blocks 13a, 13b... 13i will be operated in the execution stage of an instruction N or not, and first control signals CSa, CSb..., are generated for corresponding function blocks 13a, 13b..., respectively. First control signals CSa, CSb..., go to the low level when corresponding function blocks 13a, 13b..., will be operated, but they go to the high level when corresponding function blocks 13a, 13b..., will not be operated, and first control signals CSa, CSb..., are given to first control circuits 10a, 10b... 10i independently of one another. A third clock CL3 which does not overlap a second clock CL2 is given to first control circuits 10a, 10b..., through a buffer 9. Thus, clock signals CL3a, CL3b...CL3i are supplied to only function blocks detected for instruction execution out of function blocks 13a, 13b... 13i to prevent the ineffective power consumption.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-10306

⑤Int. Cl.⁵G 06 F 1/04
9/38

識別記号

3 0 1 C
3 1 0 X

庁内整理番号

7459-5B
7361-5B

⑬公開 平成3年(1991)1月17日

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 マイクロプロセッサ

⑯特 願 平1-146035

⑰出 願 平1(1989)6月7日

⑱発 明 者 寺 岡 栄 一 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱発 明 者 見 学 徹 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱発 明 者 徳 田 健 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称 マイクロプロセッサ

2. 特許請求の範囲

- (i) クロック信号で動作を制御される複数の機能ブロックを有し、命令をデコードして実行するパイプライン処理にて命令を処理するマイクロプロセッサにおいて、

命令をデコードするとき、その命令実行時に動作する機能ブロックを検出する動作ブロック検出手段と、

命令を実行するとき、検出された機能ブロックに前記クロック信号を供給するクロック供給手段と

を備えることを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、クロック同期型マイクロプロセッサに関する。

(従来の技術)

第7図は従来のクロック同期型マイクロプロセッサのクロック供給系の構成を示すブロック図である。図において7はインバータであり、これに入力されたクロックCL3を、これとインバータ8a、8b…8iとによりバッファリングして遅延させ、動作クロックCL3a、CL3b…CL3iを生成し、それを演算部、記憶部等の各機能ブロック13a、13b…13iに供給する。

〔発明が解決しようとする課題〕

従来の同期型マイクロプロセッサにおいては、全ての機能ブロックに対して実行ステージでの動作の有無に拘らず常に動作クロックは供給されていた。従って実行ステージで動作を行う必要のない機能ブロックに対しても動作クロックが供給され、その結果、動作を行う必要のない機能ブロックが動作し、余分に電力を消費するという問題がある。

この発明は上記のような問題点を解決するためになされたものであり、命令デコード時に、実行ステージで動作する機能ブロックを検出し、動作

しない機能ブロックに対して動作クロックを供給しないことにより電源消費量を低減するマイクロプロセッサを提供することを目的とする。

〔課題を解決するための手段〕

この発明に係るマイクロプロセッサは命令をデコードするとき、動作ブロック検出手段によりその命令の実行時に動作する機能ブロックを検出し、命令を実行するときに、検出された機能ブロックにクロック信号を供給するようにしたものである。

〔作用〕

この発明においては、命令デコード時に実行ステージで動作する機能ブロックが検出され、検出された機能ブロックにだけクロック信号が供給され、実行ステージで動作する必要のない検出されなかった機能ブロックに対してはクロック信号が供給されず、無駄な電力を消費しない。

〔実施例〕

以下、この発明をその実施例を示す図面に基づいて説明する。

第1図はこの発明に係るマイクロプロセッサの

クロック供給系の構成を示すブロック図である。図において1はプログラムカウンタであり、該プログラムカウンタ1の計数値は命令メモリ2に与えられる。命令メモリ2にはこのマイクロプロセッサで実行される命令が格納されており、命令レジスタ4に与えられる第1のクロックCL1のタイミングでプログラムカウンタ1の計数値により示される命令Nが命令メモリ2から命令レジスタ4に取り込まれる。取り込まれた命令Nは命令デコード6に与えられ、第1のクロックCL1と非重複である第2のクロックCL2のタイミングでデコードされて第1の制御信号CSa, CSb … CSi が生成される。第1の制御信号CSa, CSb … CSi は後述する各機能ブロック13a, 13b … 13i が命令Nの実行ステージにおいて動作するか否かを示し、対応する機能ブロック13a, 13b … 毎に第1の制御信号CSa, CSb … が生成される。そして第1の制御信号CSa, CSb … は対応する機能ブロック13a, 13b … が動作を行う場合は“L”、動作を行わない場合は“H”の信号となり、第1の制御信号CSa, CSb … は第1

3

の制御回路10a, 10b … 10i に各別に与えられる。また第1の制御回路10a, 10b … には第2のクロックCL2と非重複である第3のクロックCL3がバッファ9を介して与えられる。第2図は第1の制御回路の一例を示す回路図であり、機能ブロック13aに対応するものを示し、他の機能ブロック13b … 13i に対応するものは全く同一であるので、図示を省略する。第1の制御信号CSa はインバータ30aを介してANDゲート31aの一端に与えられ、その他端には第3のクロックCL3が与えられる。

第1の制御回路10a, 10b … では入力される第1の制御信号CSa, CSb … が“H”のときはこれがインバータ30a, 30b … にて反転されて“L”となり、ANDゲート31a, 31b … の出力信号CL3a, CL3b … CL3i は第3のクロックCL3に拘らず“L”となる。一方第1の制御信号CSa, CSb … が“L”のときはインバータ31a, 31b … にて反転され“H”となり、ANDゲート31a, 31b … の出力信号CL3a, CL3b … は第3のクロックCL3がそのまま出力される。

出力信号CL3a, CL3b … CL3i はバッファ11a, 11b

4

… 11i を介して演算部、記憶部等の機能ブロック13a, 13b … 13i にその動作クロックとして与えられる。機能ブロック13a, 13b … 13i はそこに第3のクロックCL3が与えられたときに与えられた命令Nの実行動作を行い、第3のクロックCL3が入力されないときは命令Nの実行において動作を停止する。

次にこのように構成されたこの発明のマイクロプロセッサの動作について説明する。第3図はこの発明のマイクロプロセッサの動作を示すタイミング図である。

プログラムカウンタ1の計数値により示されるアドレスの命令N, N+1 … が命令メモリ2から読出されると、それが第1のクロックCL1の立上りエッジで命令レジスタ4に取込まれる。命令レジスタ4に取込まれた命令N, N+1 … は命令デコード6に与えられ、第2のクロックCL2の立上りエッジでデコードされ第1の制御信号CSa, CSb を生成する。ここでは機能ブロック13a は命令N, N+2, N+3の実行時に動作せず、機能ブロック13b は命

令N-1, N, N+3, N+4の実行時に動作しない。従って生成された機能ブロック13aに対応する第1の制御信号CSaは命令N, N+2, N+3のデコード時に“H”となり、その他の命令のときは“L”となる。また機能ブロック13bに対応する第1の制御信号CSbは命令N-1, N, N+3, N+4のデコード時に“H”となり、その他の命令のときは“L”となる。そして第1の制御信号CSa, CSbが第1の制御回路10a, 10bに与えられ、それと第3のクロックCL3とにより動作クロックCL3a, CL3bが生成される。動作クロックCL3a, CL3bは第3図(n), 同(i)に破線で示す如く命令N-1, N…実行時に機能ブロック13a, 13bが動作しないときは第3のクロックCL3が出力されず“L”のままとなる。

従って機能ブロック13a, 13bは第3図(i), 同(n)にハッチングを示すアイドル状態となり、動作しないので無駄に電力を消費しない。

次に第1の制御回路10a, 10b…他の実施例について説明する。第4図は第1の制御回路の回路図であり、この実施例では第1の制御回路10aを

ANDゲート32aで構成する。また第1の制御信号CSa, CSb…はそれが“H”のとき、それに対応する機能ブロックが命令N実行時に動作するものとする。従って第1の制御信号CSa, CSbが“L”のときは第1の制御回路10a, 10b…が第3のクロックCL3の状態に拘らず“L”となり、機能ブロック13a, 13b…は動作せずアイドル状態となる。

以上機能ブロックが1相のクロックで動作する場合について説明した。次に機能ブロックが2相のクロックで動作するさらに他の実施例について説明する。

第5図はさらに他の実施例のマイクロプロセッサのクロック供給系の構成を示すブロック図である。なお第1図と重複する部分の説明は省略する。図において15はレジスタであり、第4のクロックCL4のタイミングで第1の制御信号CSa, CSb…CSiを取込み第2の制御信号CTa, CTb…CTiを出力する。ここで第4のクロックは第2のクロックCL2とは非重複である。従って第1の制御信号CSa, CSb…と第2の制御信号CTa, CTb…とは変化タイミング

7

8

が異なっているだけである。第2の制御信号CTa, CTb…CTiは第1の制御信号CSa, CSb…CSiと同様に機能ブロック13a, 13b…13iの命令Nの実行ステージにおける動作状況を示し、対応する機能ブロックが“L”の場合は動作を行うことを示し、“H”の場合は動作を行わないことを示している。

出力された第2の制御信号CTa, CTb…CTiは第2の制御回路19a, 19b…19iに与えられる。第2の制御回路19a, 19b…19iは機能ブロック13a, 13b…13iに対応して設けられており、そこには第5のクロックCL5がバッファ18を介して与えられている。第5のクロックCL5は第3のクロックCL3及び第4のクロックCL4と非重複であり、第3のクロックCL3と第5のクロックCL5とは機能ブロック13a, 13b…の基クロックとなっている。第2の制御回路からの出力信号である動作クロックCL5a, CL5b…CL5iはバッファ20a, 20b…20iを介して機能ブロック13a, 13b…13iに与えられる。第2の制御回路は第1の制御回路と同様に第2図又は第4図に示す如くの構造となっている。

第1及び第2の制御回路10a, 10b…及び19a, 19b…が第2図に示す構造の場合、第1及び第2の制御信号CSa, CSb…及びCTa, CTbが“L”のとき、機能ブロック13a, 13b…は命令Nの実行時に動作し、逆のときは動作しない。また第1及び第2の制御回路10a, 10b…及び19a, 19b…が第4図に示す構造の場合、第1及び第2の制御信号CSa, CSb…及びCTa, CTb…が“H”のとき動作し、逆のときは動作しない。

次にこのように構成されたマイクロプロセッサの動作について説明する。第6図はこのマイクロプロセッサの動作を示すタイミング図である。ここでは第1及び第2の制御回路10a, 10b…及び19a, 19b…は第2図に示す回路とする。

プログラムカウンタ1の計数値により示されるアドレスの命令N, N+1…が命令メモリ2から読出されると、それが第1のクロックCL1の立上りエッジで命令レジスタ4に取込まれる。命令レジスタ4に取込まれた命令N, N+1…は命令デコーダ6に与えられ、第2のクロックCL2の立上りエ

ッジでデコードされ第1の制御信号CSa, CSb を生成する。ここでは機能ブロック13a は命令N, N+2, N+3 の実行時に動作せず、機能ブロック13b は命令N-1, N, N+3, N+4 の実行時に動作しない。従って生成された機能ブロック13a に対応する第1の制御信号CSa は命令N, N+2, N+3 のデコード時に“H”となり、その他の命令のときは“L”となる。また機能ブロック13b に対応する第1の制御信号CSb は命令N-1, N, N+3, N+4 のデコード時に“H”となり、その他の命令のときは“L”となる。そして第1の制御信号CSa, CSb が第1の制御回路10a, 10b に与えられ、それと第3のクロックCL3 とにより動作クロックCL3a, CL3b が生成される。動作クロックCL3a, CL3b は第6図(n), 同(i)に破線で示す如く命令N-1, N…実行時に機能ブロック13a, 13b が動作しないときは第3のクロックCL3 が出力されず“L”のままとなる。

また第1の制御信号CSa, CSb は第4のクロックCL4 の立上りエッジでレジスタ15 に取込まれ、第2の制御信号CTa, CTb として出力される。機能ブ

ロック13a に対応する第2の制御信号CTa は第1の制御信号CSa と同様に命令N, N+2, N+3 の取込み時に“H”となり、その他の命令のときは“L”となる。また第2の制御信号CTb は命令N-1, N, N+3, N+4 の取込み時に“H”となり、その他の命令のときは“L”となる。そして出力された第2の制御信号CTa, CTb が第2の制御回路19a, 19b に与えられ、それと第5のクロックCL5 とにより動作クロックCL5a, CL5b が生成される。動作クロックCL5a, CL5b は第6図(n), 同(i)に破線で示す如く、命令N-1, N…実行時に機能ブロック13a, 13b が動作しないときは、第5のクロックCL5 が出力されず“L”のままとなる。

従って機能ブロック13a, 13b は第6図(n), 同(i)にハッチングで示すアイドル状態となり動作しないので前述の実施例と同様に無駄に電力を消費しない。

なお以上の実施例ではクロック同期型のマイクロプロセッサの機能ブロックが1相のクロック及び2相のクロックで動作する場合を例に説明した

1 1

が、3相以上のクロックで動作する場合にもこの発明が適用できることは言うまでもない。

またクロック信号のドライバとしてバッファを1段用いたが、バッファ複数段又は他のゲートを用いてもよいことは言うまでもない。

〔発明の効果〕

以上説明したとおり、この発明においては命令のデコード時に、前記命令の実行ステージにおいて演算部及び記憶部等の各機能ブロックが動作を行うか否かを検出し、動作を行う機能ブロックに対してのみ後の実行ステージにクロックを供給し、動作を行わない機能ブロックに対しては後の実行ステージにクロックの供給を停止するようにする。従って、実行ステージにおいて必要不可欠な機能ブロックのみ動作させ、不必要な機能ブロックの動作を行わないようにし、不必要な機能ブロックの動作による無駄な消費電力を低減できるという効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例によるマイクロ

1 2

ロセッサのクロック供給系のブロック図、第2図及び第4図は第1図における第1の制御回路の具体的な回路例、第3図は第1図におけるタイミング図、第5図はこの発明の他の実施例におけるマイクロプロセッサのクロック供給系のブロック図、第6図は第5図におけるタイミング図、第7図は従来のマイクロプロセッサのクロック供給系のブロック図である。

10a, 10b …… 10i …… 第1の制御回路

13a, 13b …… 13i …… 機能ブロック

19a, 19b …… 19i …… 第2の制御回路

CSa, CSb …… CSi …… 第1の制御信号

CL3a, CL3b …… CL3i …… 動作クロック

CTa, CTb …… CTi …… 第2の制御信号

CL5a, CL5b …… CL5i …… 動作クロック

なお、図中、同一符号は同一、又は相当部分を示す。

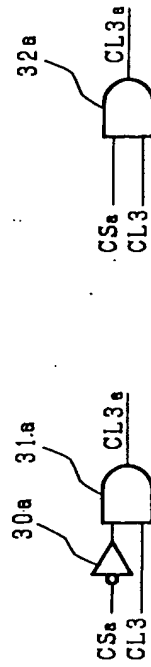
代理人 大 岩 増 雄



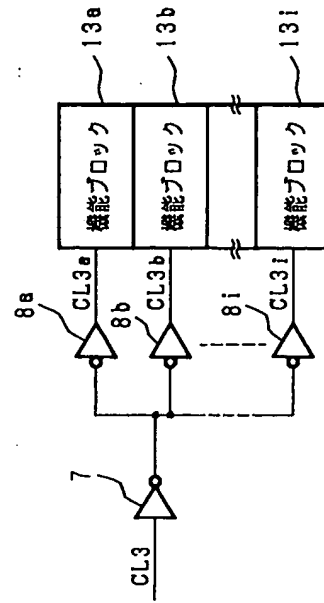
10a, 10b, ..., 10i: 第1の制御回路
CSa, CSb, ..., CSI: 第1の制御信号
CL3a, CL3b, ..., CL3i: 動作クロック

第 1 図

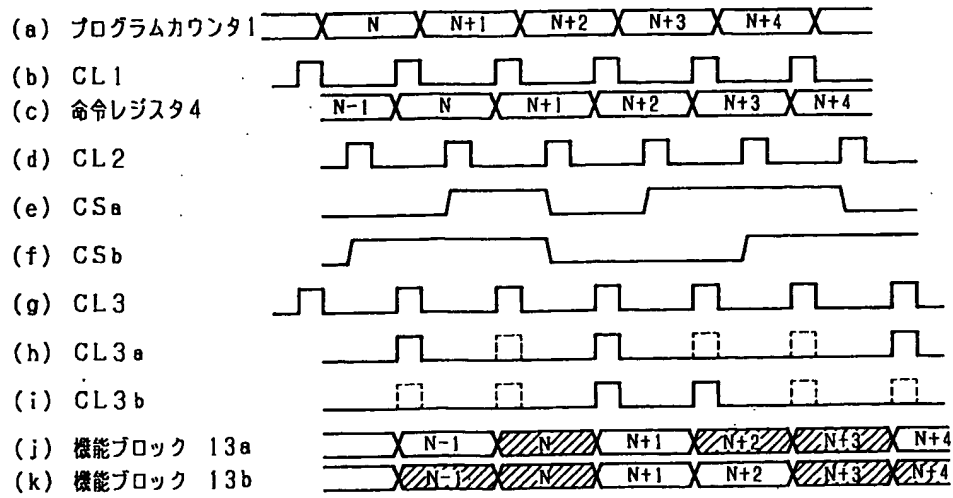
第 2 図



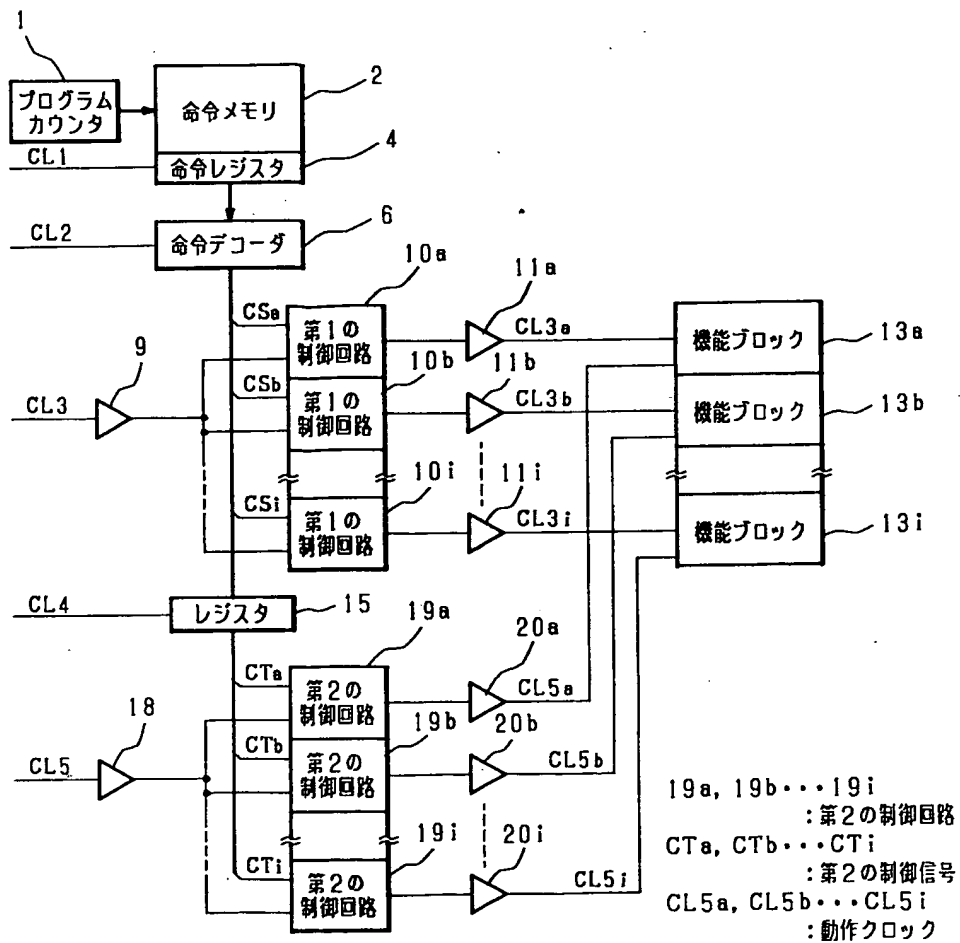
第 4 図



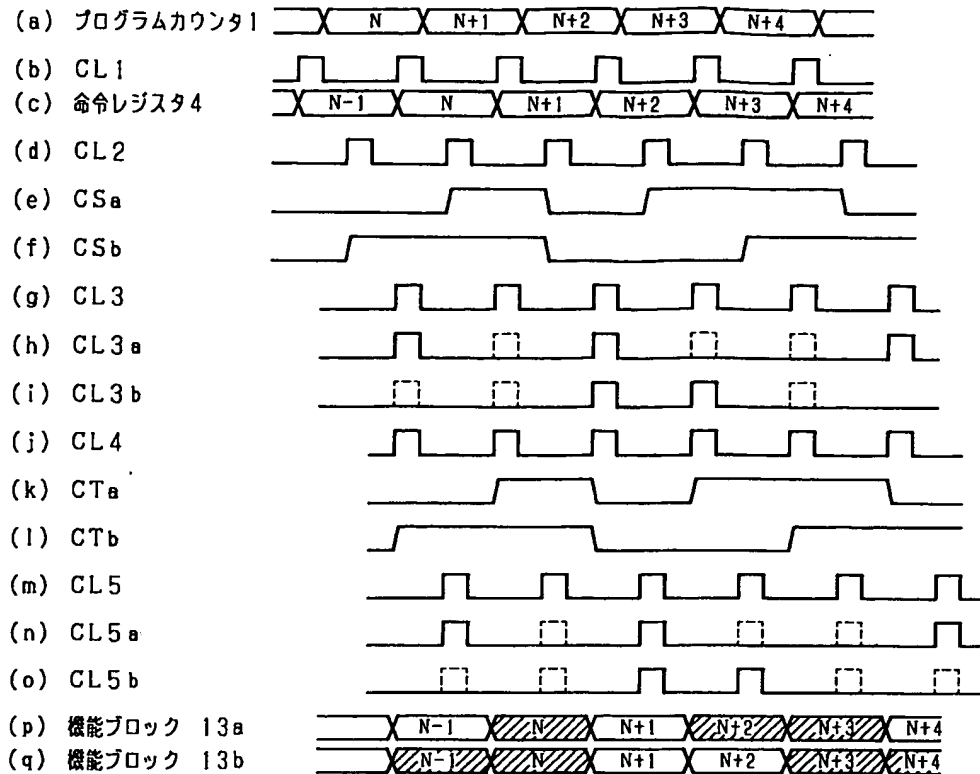
第 7 図



第 3 図



第 5 図



第 6 図

手続補正書(自発)

平成 11 年 12 月 27 日
昭和 66 年 10 月 27 日
適

特許庁長官殿

1. 事件の表示 特願 平 1-146035号

2. 発明の名称

マイクロプロセッサ

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の「発明の詳細な説明」の欄

6. 補正の内容

明細書の第2頁第5行に「バッファリングして
遅延させ、」とあるのを「バッファリングして、」
と訂正する。

以 上

方 式 審 査



(1)

2